

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-008375  
(43)Date of publication of application : 16.01.1991

---

(51)Int.Cl. H01L 31/04  
H05B 33/10  
H05B 33/12

---

(21)Application number : 01-142081 (71)Applicant : RICOH CO LTD  
(22)Date of filing : 06.06.1989 (72)Inventor : YOSHIKAWA MASAO  
SUZUKI TETSUO

---

(54) ELECTRIC ELEMENT

(57)Abstract:

PURPOSE: To enhance current density of a solar cell, a light emitting element and a transistor for performing stable action by laminating a metal having a large work function, an n-type inorganic semiconductor layer and an electron conductive organic semiconductor layer by turns to constitute a cathode side.

CONSTITUTION: A metal having a large work function, an n-type inorganic semiconductor layer and an electron conductive organic semiconductor layer are by turns laminated to constitute a cathode side, further thereon the other layer and an anode are laminated as occasion demands. Gold, paradium, platinum, chromium, nickel and carbon are used respectively as a metal having a high work function, an n-type silicon crystal, n-type amorphous silicon and ZnS are used as an n-type inorganic semiconductor, an acceptor compound such as tetracyanodimethane, quinon pigment and a conjugated polymer such as acetylene doped with potassium, sodium, etc., are used as an electron conductive organic semiconductor. Thereby, a stable action having high current density and small short circuit probability due to pin holes can be performed.

---

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平3-8365

⑤ Int. Cl.<sup>3</sup>H 01 L 23/50  
23/12

識別記号

P

庁内整理番号

9054-5F

⑬ 公開 平成3年(1991)1月16日

7738-5F H 01 L 23/12

P

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体パッケージ

⑯ 特 願 平1-143236

⑰ 出 願 平1(1989)6月6日

⑱ 発 明 者 星 野 仁 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
 ⑳ 代 理 人 弁理士 菅 野 中

## 明 細 書

## 1. 発明の名称

半導体パッケージ

## 2. 特許請求の範囲

(1) ピン グリッド アレイ(Pin Grid Array)型パッケージ本体に、外部端子増設用の端子取付部を有することを特徴とする半導体パッケージ。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体パッケージに関する。

〔従来の技術〕

従来、この種のピン グリッド アレイ(PGA)型の半導体パッケージ4は第3図に示すように、その内部に封止する半導体チップ2の外部電極に対応した本数の外部端子5, 5…を備えた専用の構造になっていた。1は金属キャップ、3はボンディングワイヤである。

〔発明が解決しようとする課題〕

上述した従来のPGA パッケージは、外部端子が予め取付けられている構造となっているため、具

なる端子数のパッケージが必要な場合は、始めから所要のパッケージを開発しなければならず、製品の開発、パッケージの開発に多大な時間を必要とするという欠点がある。

本発明の目的は前記課題を解決した半導体パッケージを提供することにある。

〔発明の従来技術に対する相違点〕

上述した従来のPGA パッケージに対し、本発明は必要に応じ外部端子を取付けることができるという相違点を有する。

〔課題を解決するための手段〕

前記目的を達成するため、本発明に係る半導体パッケージにおいては、ピン グリッド アレイ(Pin Grid Array)型パッケージ本体に、外部端子増設用の端子取付部を有するものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

(実施例1)

第1図(a)は本発明の実施例1を示す縦断面図、第1図(b)は同底面図である。

図において、半導体チップ2をPGA パッケージ4に取付け、ボンディングワイヤ3により外部端子5との電氣的接続を行う。この合、外部端子5は予めPGA パッケージ4に取付けられている。本発明はPGA パッケージ4に、外部端子増設用のネジ切り部を有する溝(端子取付部)7、7…を設けたものであり、必要に応じネジ部を有する外部端子6を溝7に挿入し、所望本数の外部端子6をPGA パッケージ4に増設する。

したがって、本発明によれば、PGA パッケージ4に新たに外部端子を増設することができ、1個のPGA パッケージの使用範囲が拡大することとなり、1個のPGA パッケージを利用して種々の機能を有する半導体ICを構成することが可能となる。

#### (実施例2)

第2図(a)、(b)は本発明の実施例2を示す図である。

本実施例はPGA パッケージ4に既設の外部端子5の列の最外周部にネジ切り部を有する溝7を有するものである。

6…ネジ部を有する外部端子

7…ネジ切り部を有する溝

特許出願人 日本電気株式会社

代理人 弁理士 菅野



この実施例では、最外部にネジ切り部を有する溝7を有するため、同一寸法のPGA パッケージでは、端子数を多く得ることができるという利点がある。

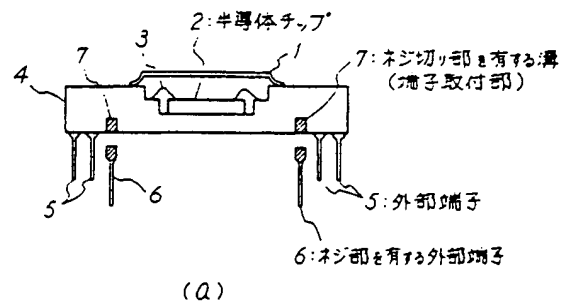
#### 〔発明の効果〕

以上説明したように本発明は予めネジ切り部を有する溝を半導体パッケージに取付けておくことにより、必要に応じてネジ部を有する外部端子を溝に取付け、予め取付けられている外部端子数よりも多くの外部端子を確保することができ、製品の開発期間を短縮できる効果がある。

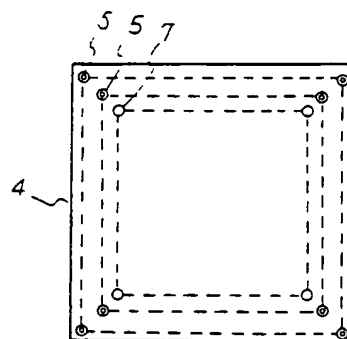
#### 4. 図面の簡単な説明

第1図(a)は本発明の実施例1を示す縦断面図、第1図(b)は同底面図、第2図(a)は本発明の実施例2を示す縦断面図、第2図(b)は同底面図、第3図は従来のPGA パッケージを示す縦断面図である。

- 1…金属キャップ
- 2…半導体チップ
- 3…ボンディングワイヤ
- 4…PGAパッケージ
- 5…外部端子

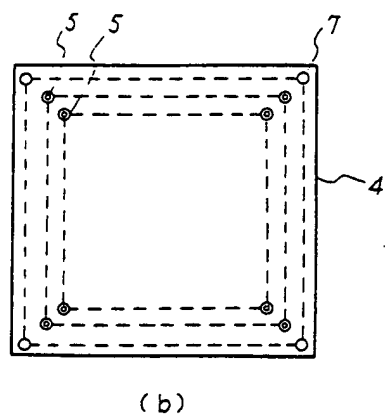
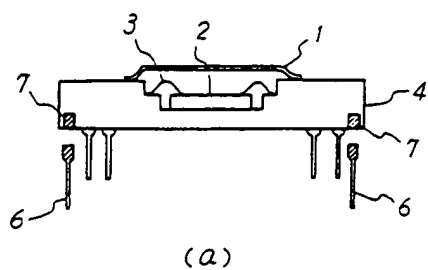


(a)

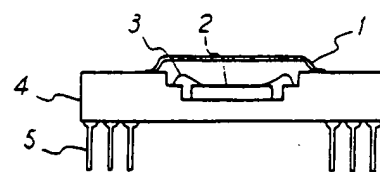


(b)

第1図



第 2 図



第 3 図